

1. Sprzęt systemów wbudowanych

Wymagania na komputery przeznaczone do sterowania i zastosowań wbudowanych.

1. Wymagana jest odporność na pracę w trudnych warunkach otoczenia (wibracje, zapylenie, wilgoć), dopuszczalny jest szeroki zakres temperatur otoczenia.
2. Przeznaczone są do pracy ciągłej - brak jest elementów ruchomych (dyski obrotowe, wentylatory, napędy dyskietek), wymagana jest trwałość, łatwość serwisowania.
3. Oprogramowanie umieszczone jest w pamięci nieulotnej – ROM, flash, EPROM lub podobnej.

Stosowane jest wsparcie sprzętowe dla osiągnięcia niezawodnej pracy – budzik (*ang. watchdog*), pamięci ECC, magistrala z kontrolą parzystości, poszerzona diagnostyka.

Najważniejsze rozwiązania:

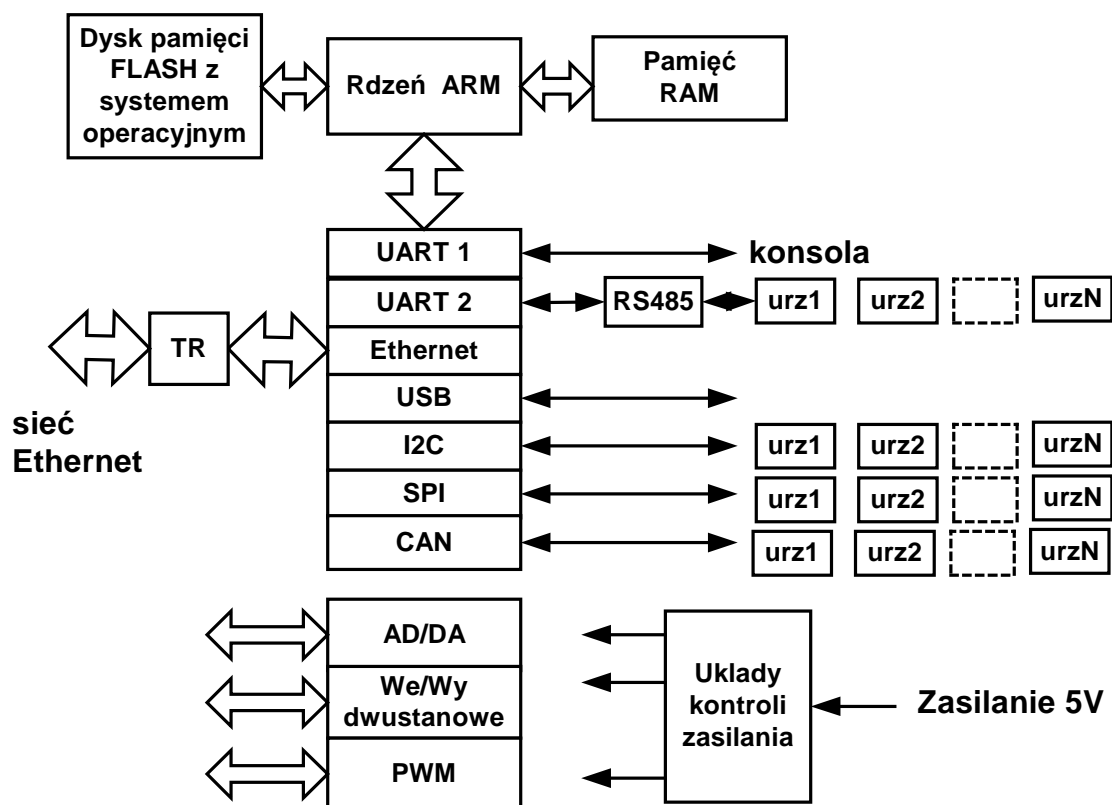
- Kontrolery do systemów wbudowanych
- Standard PC104
- Standard Compact PCI
- Magistrala VME

2. Kontrolery dla zastosowań wbudowanych

Przeznaczone dla niewielkich systemów wbudowanych bez szczególnych wymagań dotyczących niezawodności, wydajności. Charakteryzują się małymi wymiarami, niską ceną.

Typowy kontroler dla systemów wbudowanych składa się z następujących komponentów:

- Procesora - najczęściej 32 bitowego z rdzeniem ARM
- Pamięci typu Flash
- Pamięci RAM
- Układów interfejsowych do urządzeń pomiarowych i wykonawczych (przetworniki AD, DA, we/wy dwustanowe, PWM)
- Układów interfejsowych do magistral komunikacyjnych (Ethernet, USB, I2C, SPI, CAN)
- Układów kontroli zasilania

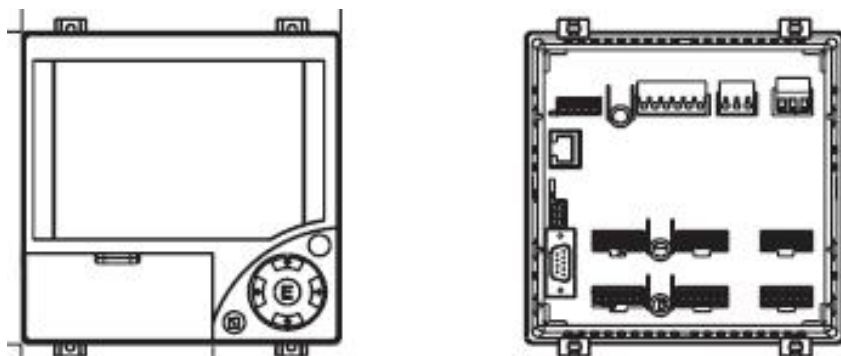


Rys. 2-1 Kontroler do zastosowań wbudowanych z mikrokontrolerem ARM

Oprogramowanie:

- Oprogramowanie dedykowane – bez systemu operacyjnego
- Linux
- Inne systemy – QNX, FreeRTOS, ...

2.1 Przykład - Ekranowy rejestrator wielokanałowy RSG30



Rys. 0-1 Widok przód / tył rejestratora RSG30

Interfejs	Ilość	Uwagi
Wejścia analogowe	6	Napięciowe, prądowe, termometr rezystancyjny, termopara. Wejścia separowane galwanicznie. Rozdzielczość 18 bitów
Wejścia binarne	3	Zakres 0 – 30 V
Wyjścia przekaźnikowe	4	1 przekaźnik alarmowy 3 przekaźniki zwykłe
Ethernet	1	Do komunikacji z komputerem nadrzędnym
RS232	1	Do komunikacji z komputerem nadrzędnym
RS485	1	Do komunikacji z komputerem nadrzędnym
USB	1	Do komunikacji z komputerem nadrzędnym, konfiguracji,
Compact Flash	1	Do zapamiętywania wyników

Tabela 0-1 Interfejsy rejestratora RSG30

Wejścia prądowe	<ul style="list-style-type: none">• 0 – 20 mA• 0 – 5 mA• 4 – 20 mA
Wejścia napięciowe	<ul style="list-style-type: none">• 0 – 10 V• 0 – 5 V• 1 – 5 V• +(-) 10 V• +(-) 30 V• 0 – 1 V• +(-) 1V• +(-) 150 mV
Termometr rezystancyjny	Różne typy
Termopara	Różne typy

Tabela 0-2 Rodzaje wejść analogowych

3. Standard PC104

Standard PC104 ma na celu dostosowanie komputerów do warunków przemysłowych i systemów wbudowanych. Definiuje różnice mechaniczne, elektryczne i logiczne względem standardu ISA i EISA.

Standard utrzymywany przez: PC/104 Consortium

<http://www.pc104.org>

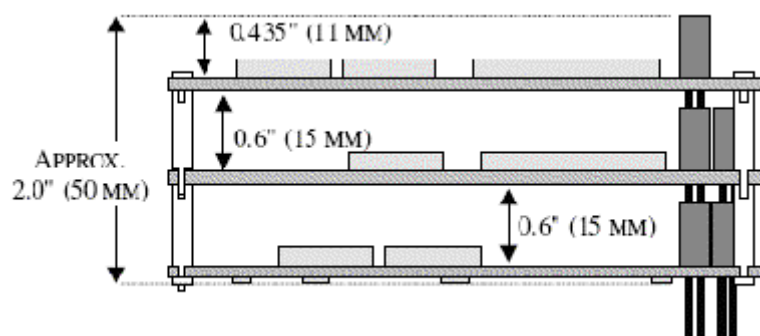
Typ	Rok	Szyna	Bieżąca wersja
PC/104	<u>1992</u>	<u>ISA</u> (AT and XT)	2.6
PC/104-Plus	<u>1997</u>	ISA and PCI	2.3
PCI-104	<u>2003</u>	<u>PCI</u>	1.1
PCI/104-Express	<u>2008</u>	PCI and PCIe	1.1
PCIe/104	<u>2008</u>	<u>PCIe</u>	1.1

Najważniejsze różnice względem magistrali ISA:

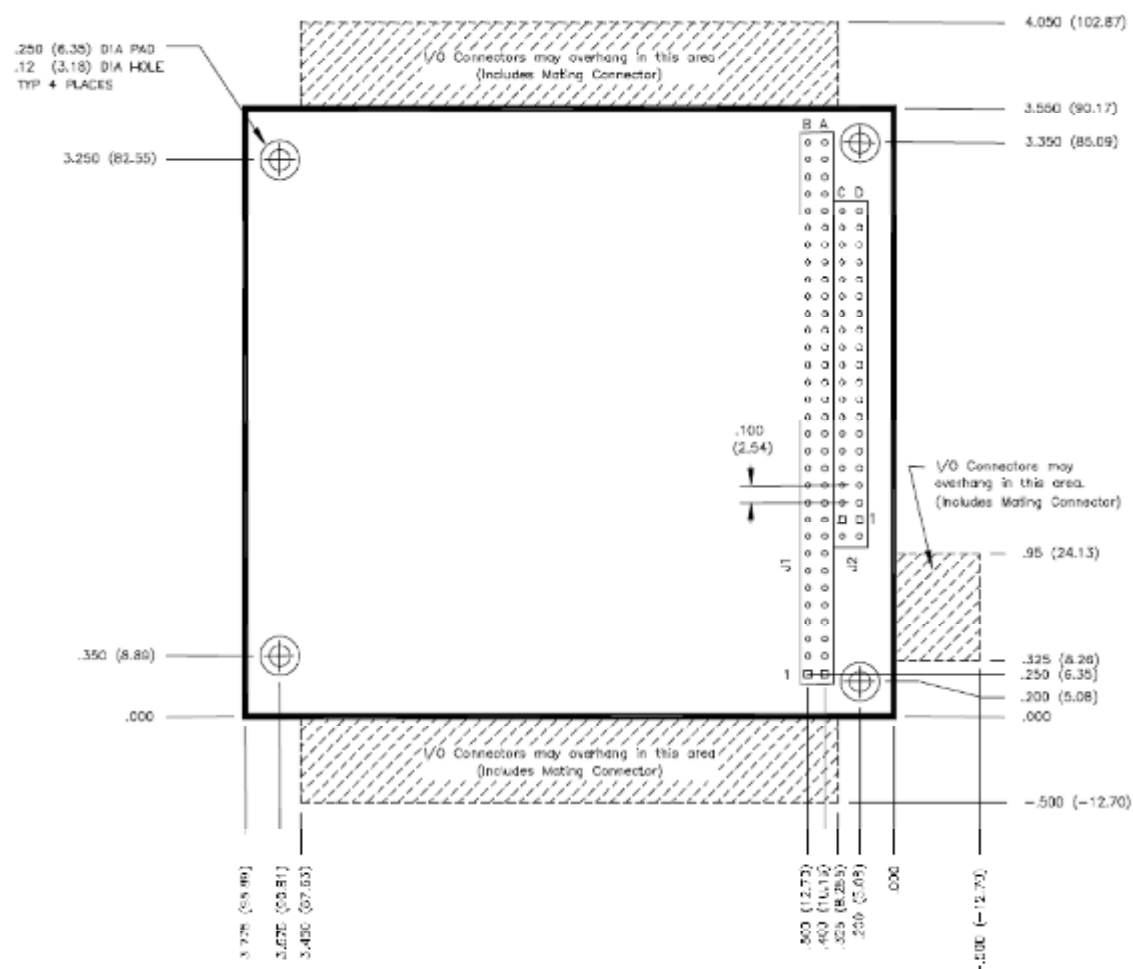
1. Wymiary 90 x 96 mm.
 2. Eliminacja potrzeby podstawy (*ang. backplane*) i obudowy (konstrukcja jest samonośna i kanapkowa).
 3. Redukcja liczby elementów i zapotrzebowania na zasilanie (typowo 1-2 W na moduł) Wymagana moc wysterowania pojedynczego sygnału magistrali wynosi 4mA.
- Standard dopuszcza 2 rodzaje modułów – 8 bitowe i 16 bitowe.
 - Standard wprowadza możliwość dzielenia jednego przerwania przez wiele urządzeń.

1.1. Standard mechaniczny

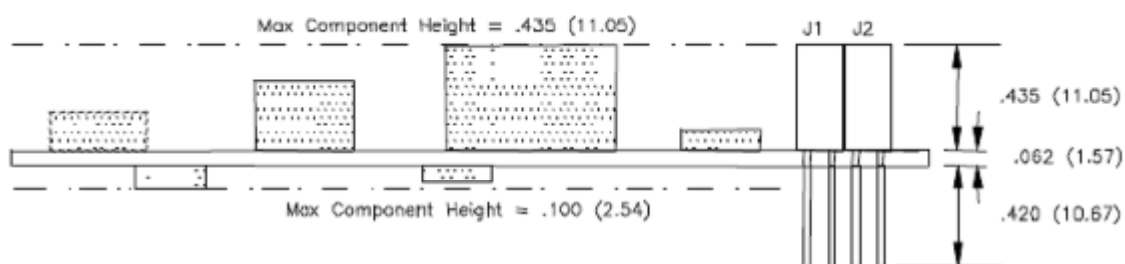
Standaryzacji podlega konstrukcja i wymiary płytki.



Rys. 3-1 Konstrukcja komputera PC104



Rys. 3-2 Rzut poziomy - płytki 16 bitowa o wymiarach 90 x 96 mm.



Rys. 3-3 Rzut pionowy - płytka 16 bitowa

Normalizacji podlegają także własności łączówek

1. Wymiary
2. Materiały z którego są wykonane
3. Jakość kontaktów
4. Własności elektryczne

1.2. Standard logiczny

Sygnaly magistrali:

1. Adresy i dane
2. Kontrola cyklu
3. Kontrola magistrali
4. Przerwania
5. DMA

J2/P2			J1/P1		
Pin	Row D	Row C	Pin	Row A	Row B
0	GND	GND	1	IOCHK*	GND
1	MEMCS16*	SBHE*	2	SD7	RESET
2	IOCS16*	LA23	3	SD6	+5V
3	IRQ10	LA22	4	SD5	IRQ9
4	IRQ11	LA21	5	SD4	-5V
5	IRQ12	LA20	6	SD3	DRQ2
6	IRQ15	LA19	7	SD2	-12V
7	IRQ14	LA18	8	SD1	SRDY*
8	DACK0*	LA17	9	SD0	+12V
9	DRQ0	MEMR*	10	IOCHRDY	KEY
10	DACK5*	MEMW*	11	AEN	SMEMW*
11	DRQ5	SD8	12	SA19	SMEMR*
12	DACK6*	SD9	13	SA18	IOW*
13	DRQ6	SD10	14	SA17	IOR*
14	DACK7*	SD11	15	SA16	DACK3*
15	DRQ7	SD12	16	SA15	DRQ3
16	+5V	SD13	17	SA14	DACK1*
17	MASTER*	SD14	18	SA13	DRQ1
18	GND	SD15	19	SA12	REFRESH*
19	GND	KEY	20	SA11	BCLK
			21	SA10	IRQ7
			22	SA9	IRQ6
			23	SA8	IRQ5
			24	SA7	IRQ4
			25	SA6	IRQ3
			26	SA5	DACK2*
			27	SA4	TC
			28	SA3	BALE
			29	SA2	+5V
			30	SA1	OSC
			31	SA0	GND
			32	GND	GND

Rozmieszczenie sygnałów na magistrali

4. Przykład konstrukcji PC104 - komputer PCM3343

Komputer **PCM3343** jest jednopłytkowym komputerem zbudowanym według standardu PC104.

4.1 Własności

- Procesor Vortex86DX SOC 1GHz
- Pamięć RAM do 512 MB
- Magistrala PC104 ISA
- 4 porty szeregowo RS232/RS485
- Zegar RTC
- Interfejs do głośnika
- Klawiatura PS2
- Interfejs myszy PS2
- Interfejs VGA/LVDS
- USB 2.0 – 4 kanały
- Gniazdo pamięci Compact Flash
- Interfejs dysku IDE - 2 urządzenia
- Pojedyncze napięcie zasilania 5V
- Pamięć EEPROM dla zapamiętywania konfiguracji
- Watchdog
- GPIO: 16 bit (general purpose Input/Output)
- I2C - nie wszystkie funkcje dostępne
- Interfejs do zewnętrznych urządzeń SPI (np. Flash)
- LAN1 Controller: Integrated Vortex86DX SOC 10/100 Mbps Ethernet
- LAN2 Controller: Realtek RTL 8100CL 10/100 Mbps Ethernet

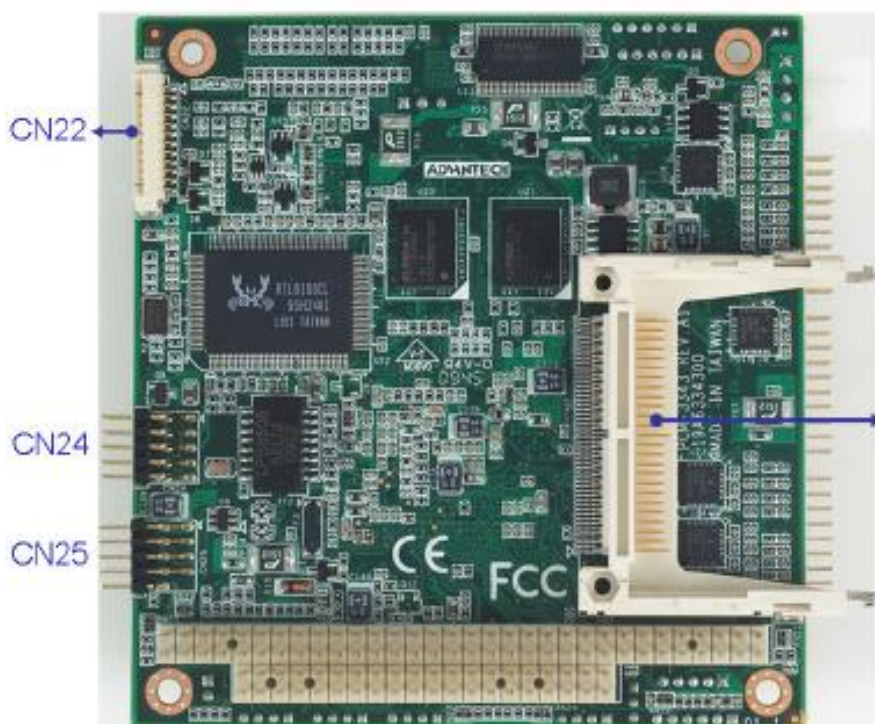
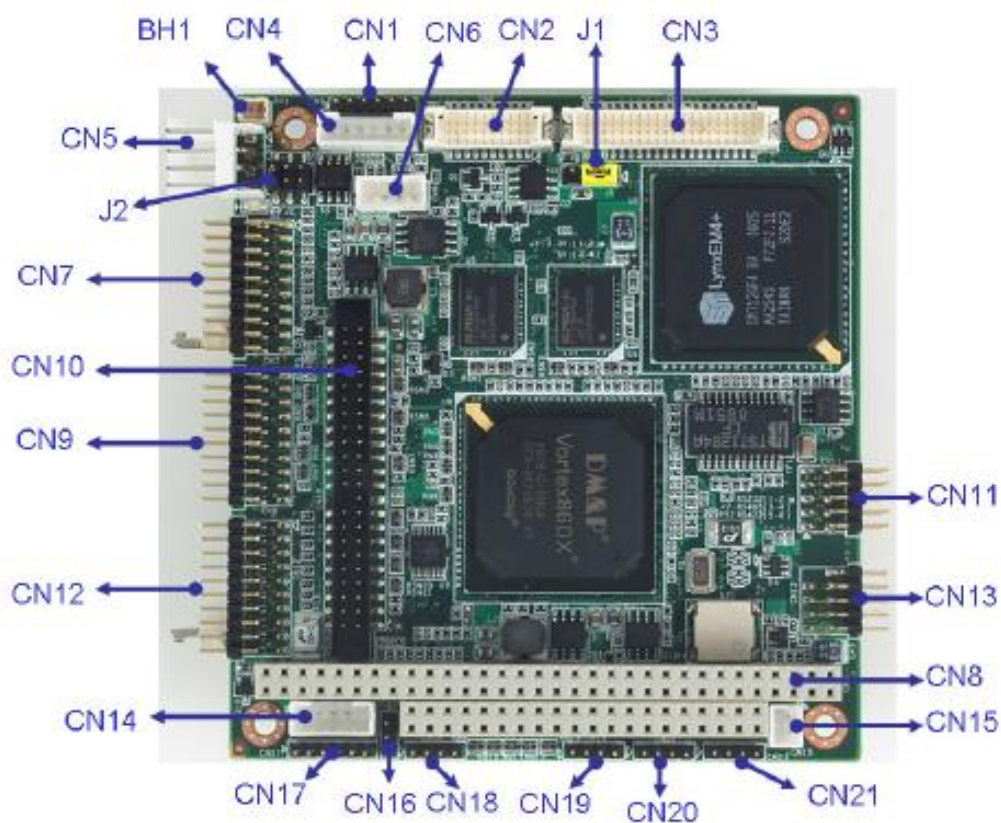
Temperatura pracy: 0 do 60 wersja standardowa, -40 do 85 wersja specjalna

Zużycie mocy 7.5 – 10 W

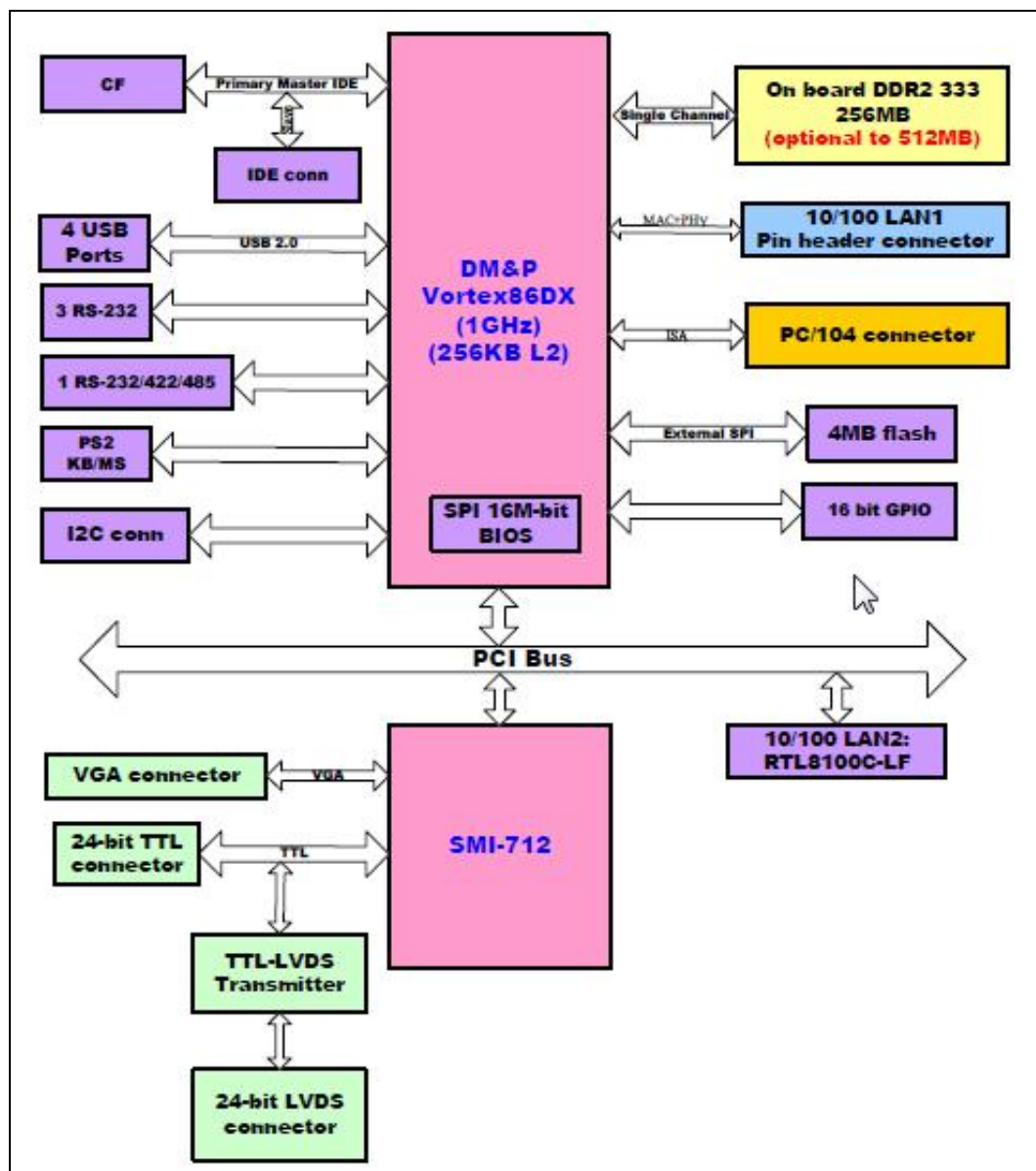
Obciążony: +5 V @ 0.63 A, +12 V @ 0.01 A

Maksymalnie : +5 V @ 0.85 A, +12 V @ 0.01 A

Bieg jałowy: +5 V @ 0.55 A, +12 V @ 0.01 A



Rysunek 4-1 Widok komputera PCM3343



Rysunek 2 Struktura komputera PCM3343 (standard PC104)

5. Urządzenia standardu VME

5.1 Podstawowe własności

VME jest otwartym standardem na magistralę dla wieloprocessorowych systemów przetwarzania danych. Urządzenia zbudowane według standardu VME są szeroko stosowane w przemyśle, wojsku, lotnictwie, badaniach kosmicznych i wszędzie tam gdzie wymagana jest wysoka dyspozycyjność i skalowana moc przetwarzania.

Specyfikacja VMEbus zakłada, że jest to system otwarty, czyli poprzez zapewnienie kompatybilności mechanicznej, logicznej oraz elektrycznej modułów, można korzystać z produktów różnych firm.

W 1990 roku udział systemów komputerowych standardu VMEbus w światowym rynku otwartych systemów magistralowych wynosił 25%,. Wśród systemów magistralowych do zastosowań przemysłowych i wojskowych VMEbus jest liderem.

VME jest przykładem budowy komputera modułowego. Zapewniona jest zgodność modułów:

- Mechaniczna - wymiary kasety, kart, własności mechaniczne, rozmieszczenie styków
- Elektryczna - poziomy napięć
- Funkcjonalna - logika przesyłania informacji przez magistralę, arbitraż, transakcje magistrali, przerwania

Moduły są produkowane przez wielu niezależnych dostawców. Stąd nie występuje niebezpieczeństwo:

- Uzależnienia się od monopolisty
- Zniknięcia dostawcy z rynku

Historia:

- 1979 r. - Motorola – VERSAbus
- 1981 r. - VMEbus, Nowelizacja A
- 1982 r. - Nowelizacja B
- 1985 r. - Nowelizacja C
- 1987 r. - standard IEEE-1014-1987
- 1990 r. - Nowelizacja D
- 1994 r. - VME64 ANSI/VITA 1-1994
- 1997 r. - rozszerzenie VME64 – VME64x – VSO (VITA Standards Organization)
- 1997 r. - VME320 nowy protokół 2eSST – Arizona Digital

Własność	Opis	Uwagi
Architektura	Master/Slave	
Transfer	Asynchroniczny	Brak centralnego zegara
Adresowanie	16, 24, 32, 40 lub 64 bit	Wybierane dynamicznie
Szerokość ścieżki danych	8, 16, 24, 32 lub 64 bit	Wybierane dynamicznie
Detekcja błędów	Tak	Użycie sygnału BERR
Przepustowość	Do 500 MB / sek	
Przerwania	7 poziomów	
Wieloprocessorowość	Tak	Do 1-21 kart procesorowych
Mechanizm plug and play	Tak	Od wersji VME64 & VME64x
Diagnostyka	Tak	Użycie sygnału SYSFAIL. Od wersji VME64x szyna testów i obsługi
Standard mechaniczny	Pojedyncza eurokarta wysokości 3U Podwójna eurokarta wysokości 6U	160x100, 160x233 mm, złącza DIN 603-2
Standardy międzynarodowe	Tak	IEC 821, IEEE 1101, IEEE 1014

Tab. 5-1 Najważniejsze własności standardu VME

Wersja	Transfer Mbajt /sek
VMEbus	40 Mbyte/sec
VME64	80 Mbyte/sec
VME64x	160 Mbyte/sec
VME320	320 – 500

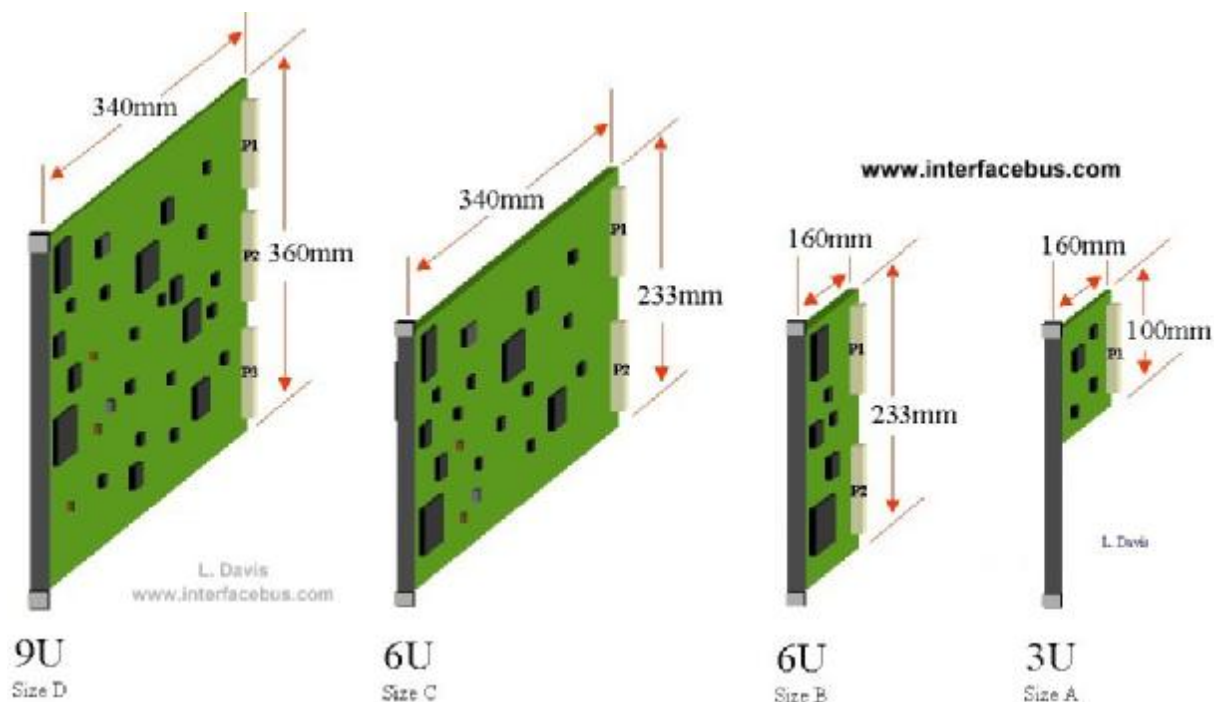
Tab. 5-2 Szybkość transferu danych magistrali VME

5.2 Standard mechaniczny (standard Eurocard)

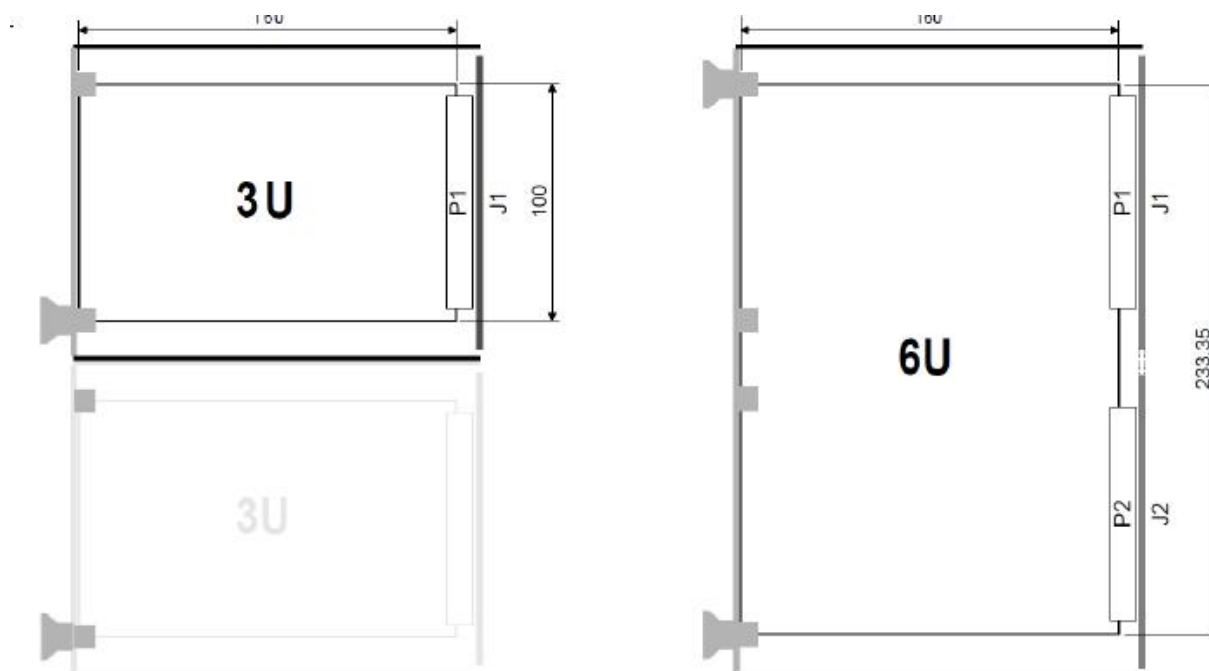
Format Eurokarty:

- pojedynczy (3U) o wymiarach 100 x 160 mm
- podwójny (6U) o wymiarach 233,4 x 160 mm

Określona wysokość elementów po stronie montażowej i długość końcówek po stronie lutowania płytki drukowanej



Rys. 5-1 Standard mechaniczny kart VME (wg <http://www.interfacebus.com>)



Rys. 5-2 Pojedyncza i podwójna eurokarta

Własności mechaniczne:

- Odległość między szynami kolejnych prowadnic – 20,32 mm
- Płyta magistrali może posiadać od 2 do 21 złącz
- Liczba gniazd J1 może być większa niż J2

Złącza:

Standard magistrali VME przewiduje dwa złącza J1 (obowiązkowe) i J2 (opcjonalne). Są to złącza 96 pinowe. Standard VME64 i VME64x dopuszcza złącze 160 pinowe.



Rys. 5-3 Widok płyty (ang. backplane) magistrali VME (z <http://hartman-electronic.com>)



Rys. 5-4 Widok kasey 6U magistrali VME (z <http://hartman-electronic.com>)

5.4 Standard logiczny

System VME składa się z magistrali i modułów

5.4.1 Magistrala

Własności magistrali:

- Magistrala jest asynchroniczna – brak zegara centralnego. Wymiana danych synchronizowana jest przez handshaking.
- Magistrala VMEbus jest nie multipleksowalna
- Zmienna prędkość transmisji zależy od czasu propagacji sygnał wzdłuż płyty magistrali i poprzez układy scalone nadajników i odbiorników.
- Płyta magistrali VMEbus może mieć długość do 500mm

Podstawowymi procesami zarządzającymi pracą magistrali VME są:

1. Arbiter magistrali
2. Obsługa przerwań
3. Sygnały i funkcje pomocnicze

Sygnały magistrali:

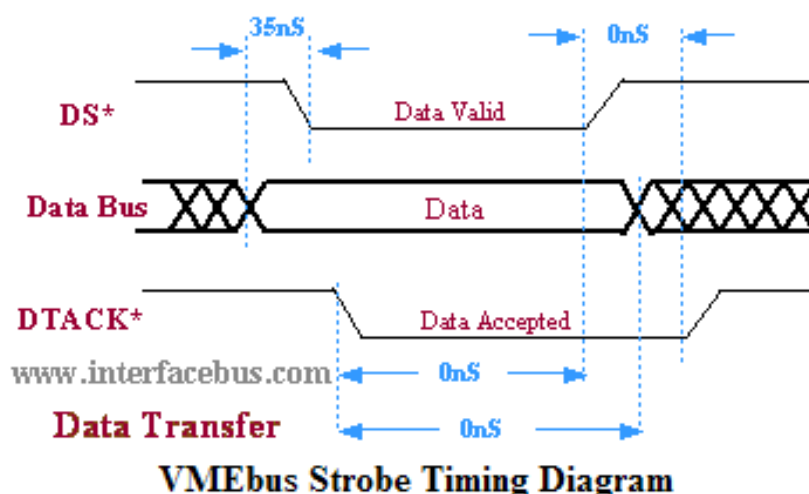
- Szyna adresów
- Szyna danych
- Szyna arbitrażu
- Szyna przerwań
- Szyna sygnałów pomocniczych

Oznaczenie	Opis
A01 -A31	Linie adresowe
D00-D31	Linie danych
DS0* DS1 *	Wybór które bajty są przesyłane i synchronizacja pomiędzy Master i Slave
LWORD*	Ile danych przesyłanych (razem z DS0* DS1 *)
AS*	Opadające zbocze informuje że adres jest stabilny
DTACK*	Sygnal potwierdzenia przez Slave odbioru danych
WRITE*	Zapis / odczyt
BERR*	Sygnal sterowany przez Slave lub monitor magistrali (Bus Timer). Informuje że transakcja się nie udała.

Rys. 5-5 Niektóre sygnały magistrali VME

Synchronizacja wymiany danych:

- Master wystawia dane na Data Bus
- Master po min 35 nS zmienia sygnał strobu DS. z wysokiego na niski
- Slave odczytuje dane i potwierdza odczyt danych zmianą poziomu sygnału DTACK z wysokiego na niski
- Master zmienia sygnał DS. z niskiego na wysoki
- Slave zmienia sygnał DTACK. z niskiego na wysoki



Rys. 5-6 Synchronizacja wymiany danych na magistrali

Standard VMEbus określa cztery typy cykli transmisji danych:

- cykl odczytu/zapisu
- cykl odczytaj-zmodyfikuj-zapisz
- cykl transmisji blokowej
- cykl adresowania

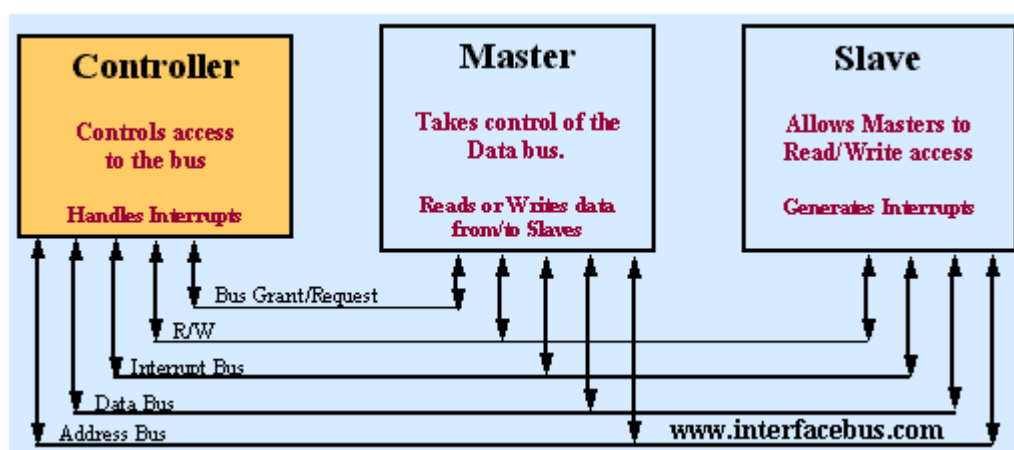
Pin #	Signal Name	Signal Name	Signal Name
	Row A	Row B	Row C
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BRO*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	SERCLK	A17
22	IACKOUT*	SERDAT*	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12v	+5v Standby	+12v
32	+5v	+5v	+5v

Tab. 5-3 Sygnały złącza P1 magistrali VME

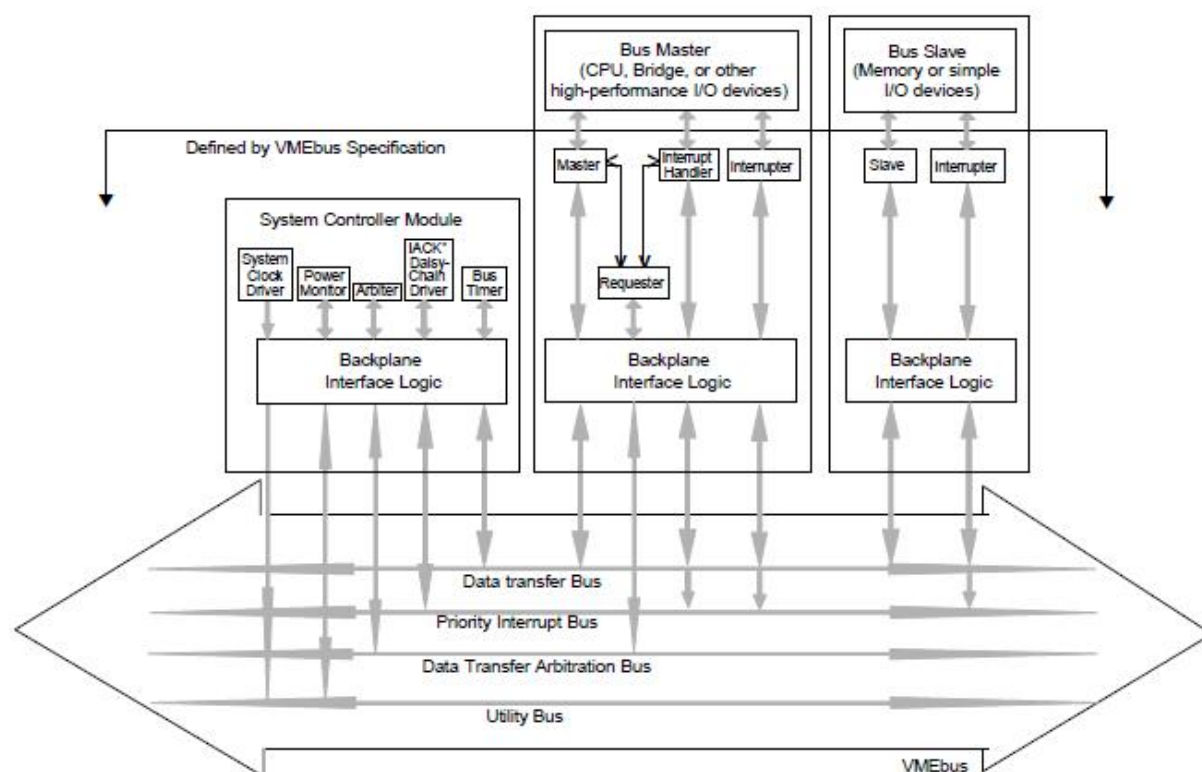
5.4.2 Moduły

Zdefiniowane są trzy typy modułów

- Kontroler systemu – Specjalna karta pełniąca rolę arbitra magistrali
- Moduły typu Master – inicjator transmisji, zwykle karta procesorowa
- Moduły typu Slave – bierna strona transmisji (pamięci, układy interfejsowe, itp.)



Tab. 5-4 Główne elementy systemu VME



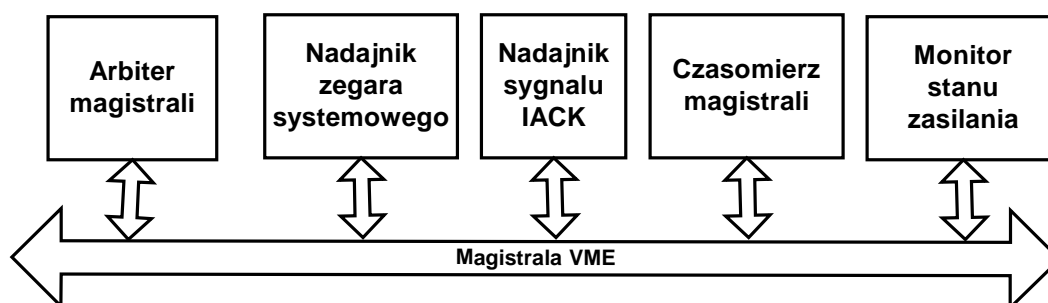
Rys. 5-7 Moduły systemu VME

5.4.3 Kontroler magistrali

Jest to płyta umieszczona w pozycji 01. Zadaniem kontrolera magistrali jest koordynacja pracy pozostałych modułów systemu

Zawiera:

- Arbiter magistrali
- Nadajnik sygnału zegarowego
- Monitor stanu zasilania
- Nadajnik sygnału IACK
- Czasomierz magistrali – monitoruje czy operacje magistrali się zakończyły



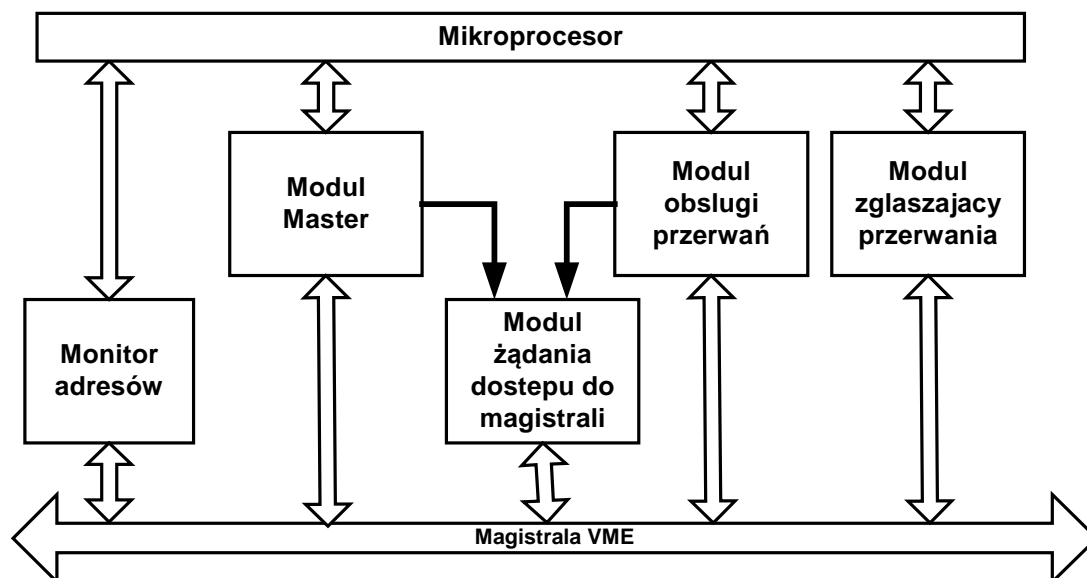
Rys. 5-8 Kontroler magistrali

5.4.4 Moduł typu master

Moduł typu Master pisze i czyta dane z modułu typu Slave. Moduł wystawia żądanie dostępu do magistrali a po jego otrzymaniu wystawia na szynę adresy i dane które mają być przesłane do płyty typu Slave. Liczba modułów Master ograniczona do 21.

Moduł typu master zawiera następujące układy:

- Układ sprzężenia z magistralą
- Układ żądania dostępu do magistrali
- Układ generacji przerwani
- Układ obsługi przerwań



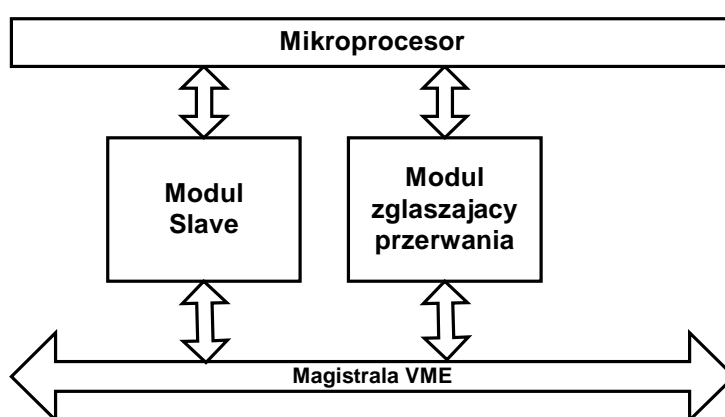
Rys. 5-9 Moduł typu Master

5.4.5 Moduł typu Slave

Moduł typu Slave realizuje zlecenie z modułu typu Master. Moduł typu Slave może też generować przerwania

Moduł typu Slave zawiera następujące układy:

- Sprzężenie z magistralą
- Układ generacji przerwani

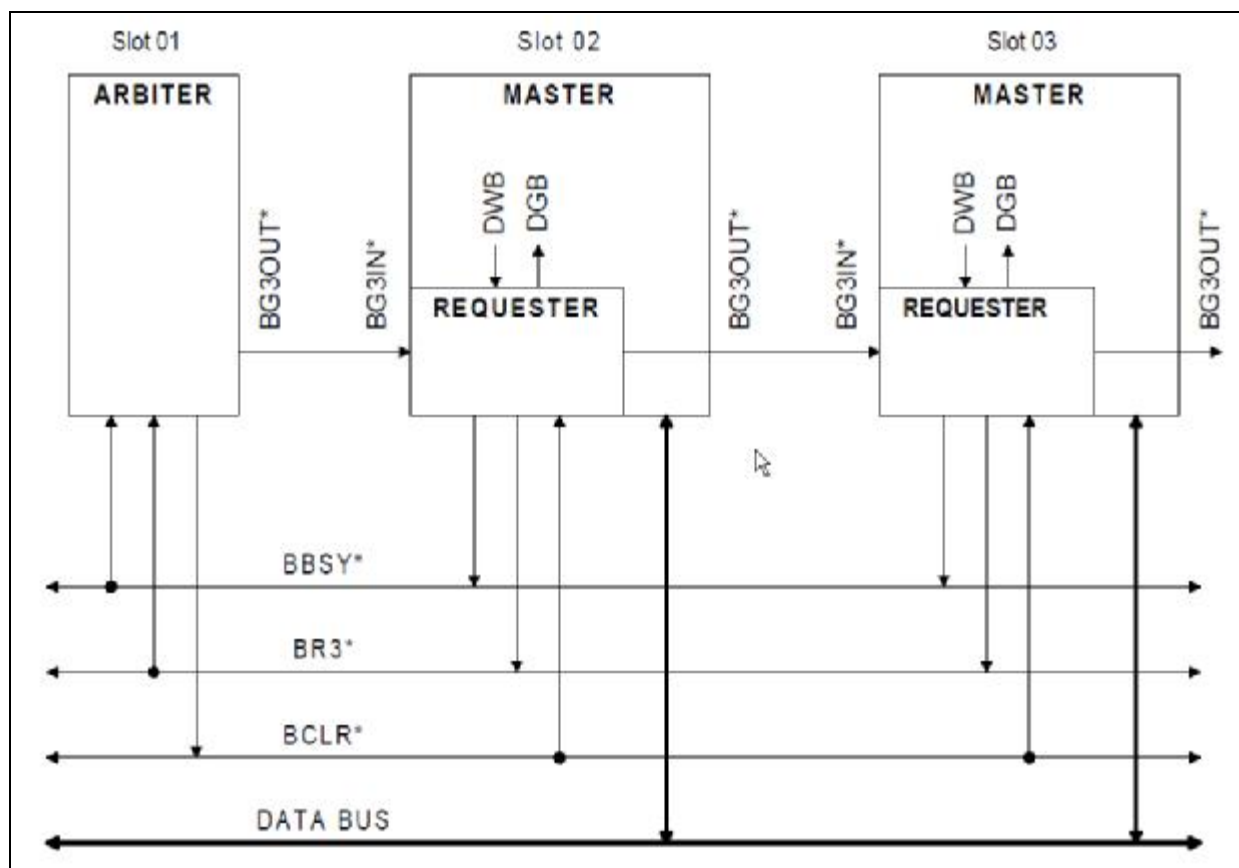


Rys. 5-10 Moduł typu Slave

1.1.1 Arbitraż

Ze względu na fakt że dopuszczalne jest występowanie kilku modułów typu Master konieczne jest rozstrzygnięcie kto ma dostęp do magistrali. Arbitraż wykonywany jest przez kontroler systemu.

Przed wystawieniem danych na magistralę Master musi uzyskać dostęp do magistrali



Rys. 5-11 Arbitraż na magistrali VME

Rodzaje arbitrażu:

- Arbiter jednopoziomowy (SGL) – monitoruje stan TYLKO BR3*, uprzywilejowanie płyt umiejscowionych najbliżej gniazda 01
- Arbiter priorytetowy (PRI) – porządkuje sygnały żądania dostępu według rosnących priorytetów, hierarchia brana pod uwagę nie tylko, gdy kilka jednoczesnych żądań, także gdy pojawia się żądanie, a magistrala jest zajęta
- Arbiter badania obiegiem (RRS) - brak faworytów, przydziela kontrolę na zasadzie klucza zmieniającego rotacyjnie swoje położenie

Oznaczenie	Opis	Wystawiany przez
BR0-BR3*	Sygnal żądania magistrali (Bus request) BR3 – priorytet najwyższy	Master
BBSY*	Sygnal zajętości magistrali (Bus busy)	Master
BG0IN – BG3IN*	Sygnal przydziału magistrali – wejście (Bus granted input)	-
BG0OUT* – BG3OUT*	Sygnal przydziału magistrali – wyjście (Bus granted output)	Arbiter, Master
BCLR*	Sygnal żądania zwolnienia magistrali	Arbiter

Tab. 5-5 Sygnały biorące udział w arbitrażu dostępu do magistrali

Moduł żądania dostępu do magistrali uaktywnia jeden z sygnałów BR0*-BR3*. Arbiter magistrali po odebraniu sygnału przydziela kontrolę nad magistralą wybranemu przez siebie modułowi aktywując jeden z sygnałów BG0OUT* - BG3OUT* które to sygnały dochodzą łańcuchowo do wejść modułów BG0OUT* - BG3OUT*. Moduł który nie potrzebuje magistrali przepuszcza sygnał dalej transmitując go na BG0OUT* - BG3OUT*. Moduł który potrzebuje magistrali zatrzymuje sygnał nie transmitując go na BG0OUT* - BG3OUT*. Wystawia on także sygnał BBSY* informując arbiter o zajęciu magistrali. Sygnał BCLR* jest generowany przez arbiter gdy żąda on zwolnienia dostępu do magistrali.

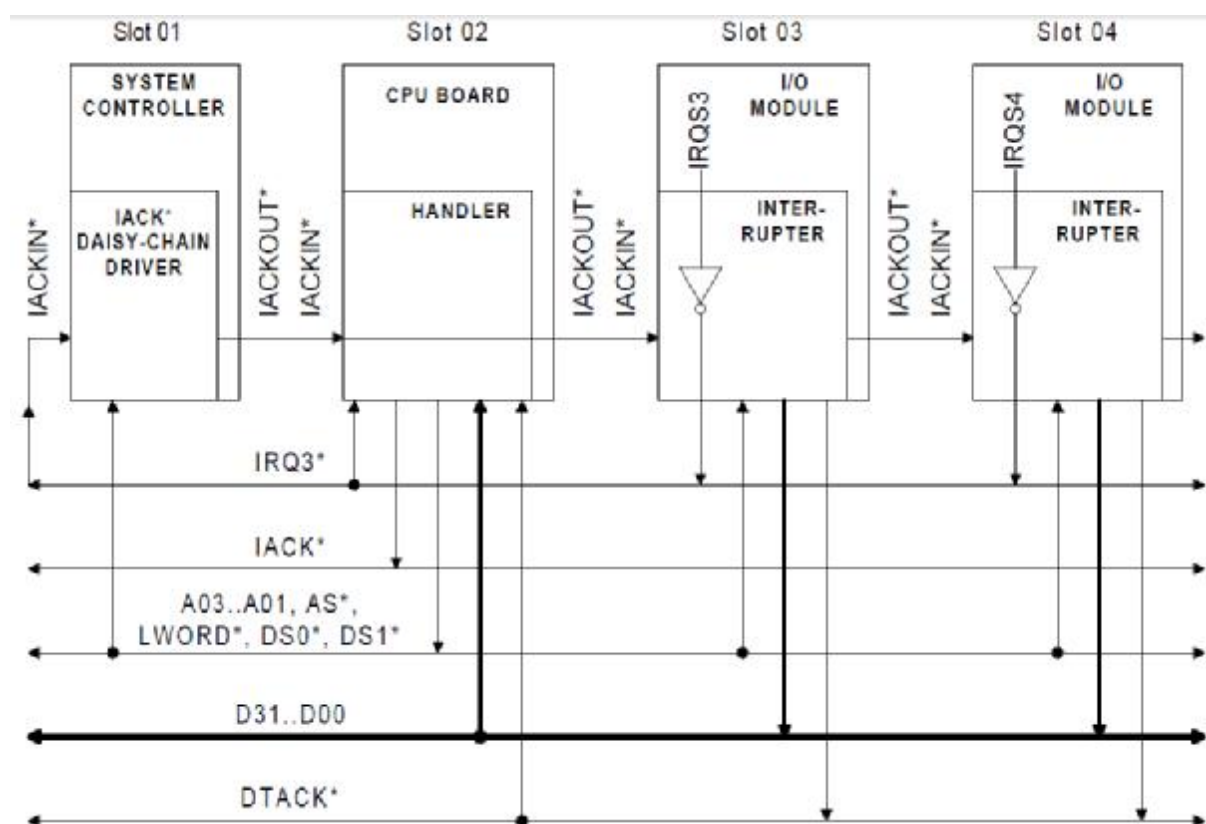
5.4.6 Obsługa przerw

Standard VME definiuje 7 poziomowy system przerw sygnalizowanych liniami IRQ1* - IRQ7*. Priorytet IRQ7 jest najwyższy.

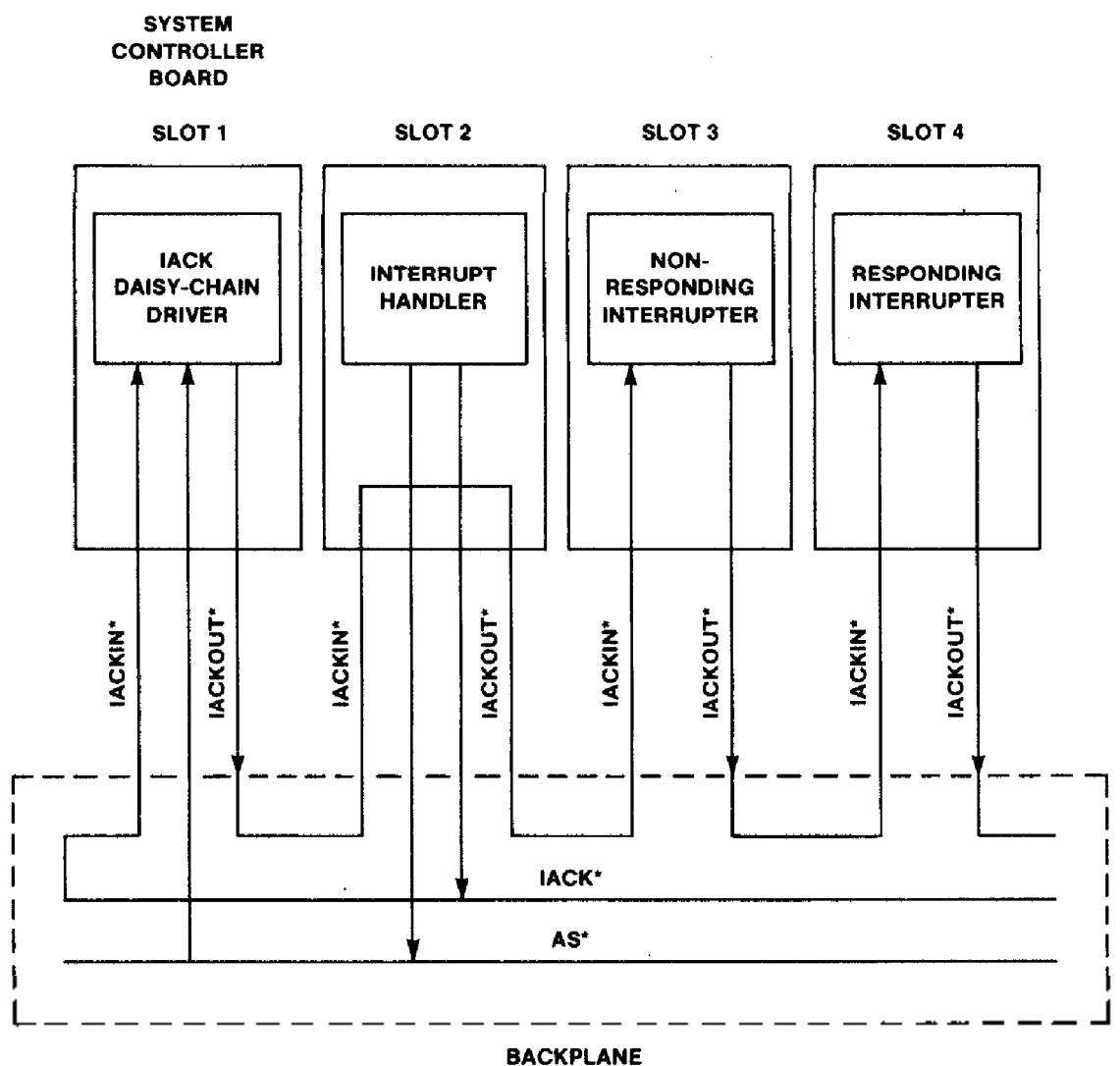
Płyta która żąda przerwania robi to poprzez moduł zgłaszania przerwania. Jako że linie zgłaszania są typu otwarty kolektor to w danym czasie więcej modułów może zgłosić przerwanie. Wystąpi problem identyfikacji modułu zgłaszającego przerwanie.

Oznaczenie	Opis	Wystawiany przez
IRQ1* - IRQ7*	Zgłoszenie przerwania. Linia typu otwarty kolektor – wiele modułów może zgłosić przerwanie.	Slave
IACKIN*	Potwierdzenia przerwania - wejście	-
IACKOUT*	Potwierdzenia przerwania - wyjście	Kontroler systemu, Master, Slave
IACK*	Potwierdzenie przerwania – sygnał uaktywniany przez moduł obsługi przerwania	moduł obsługi przerwania
A01 – A03	Kod wykorzystywany w cyklu potwierdzania przerwania	moduł obsługi przerwania
DS0*, DS1*	Strob danych	moduł obsługi przerwania
AS*	Strob adresu	moduł obsługi przerwania

Tab. 5-6 Sygnały biorące udział w obsłudze przerwania



Tab. 5-7 Obsługa przerwania w magistrali VME



Rys. 5-12 Łącuch obsługi przerwań magistrali VME

Po zgłoszeniu przerwania moduł obsługi przerwania aktywuje sygnał IACK*. Sygnał informuje inne moduły o przyjęciu przerwania i aktywuje łańcuch IACKIN* - IACKOUT*. Wystawia on także na liniach A1-A3 numer poziomu przerwania 1 - 7. Moduły które nie wystawiły przerwania przekazują sygnał dalej na IACKOUT*. Moduł który wystawił sygnał sprawdza czy poziom przerwania na liniach A1-A3 odpowiada poziomowi wystawionego przerwania. Gdy tak to "zatrzymuje" sygnał IACKIN* i podaje na magistralę na liniach danych STATUS/ID i potwierdza je linią DTACK*. Moduł obsługi przerwań czyta STATUS/ID i przekazuje go do procesora. Na tej podstawie procesor wie którą procedurę obsługi przerwania aktywować.

6. Dyski półprzewodnikowe typu flash

Pamięci flash są rodzajem półprzewodnikowej pamięci nieulotnej. Pamięć flash jest odmianą pamięci EEPROM (Electrically Erasable Programmable Read-Only Memory). Kasowanie i zapis odbywa się przez podanie odpowiednich sygnałów elektrycznych. Nazwa "flash" pochodzi od możliwości bardzo szybkiego kasowania zapisanych komórek pamięci. Wszystkie pamięci flash zużywają się po pewnej liczbie cykli zapis / kasowanie.

Pamięci Flash produkuje się w dwóch formach: NOR i NAND. Nazwy odnoszą się do typu bramki logicznej używanej w każdej komórce pamięci.

Pamięć NOR

Jako pierwszą opracowano pamięć NOR w firmie Intel w roku 1988. Pamięci NOR umożliwiają swobodne adresowanie całego zakresu danych. Liczba cykli zapis / kasowanie 10 tys. – 1000 tys. W oparciu o te pamięci zbudowane są karty pamięciowe Compact Flash i Smart Media.

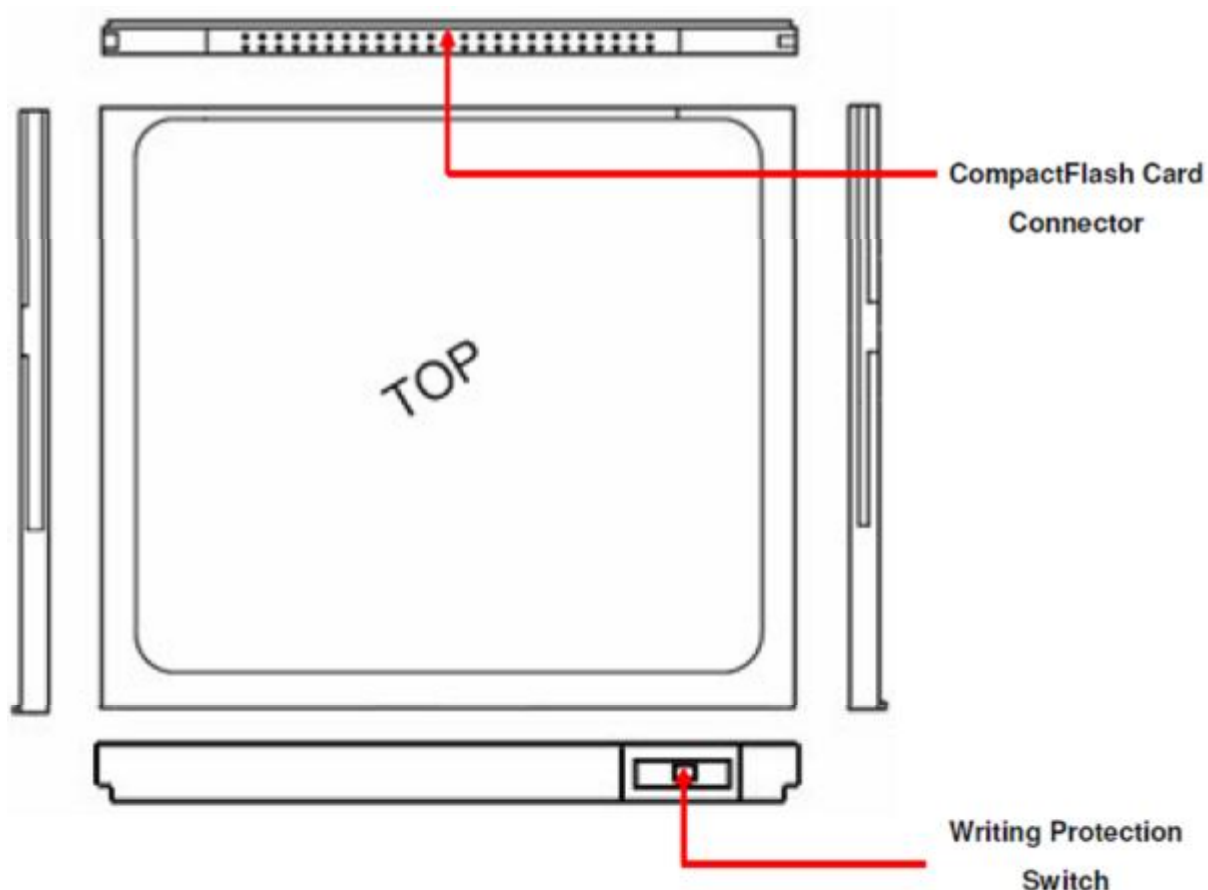
Pamięć NAND

Pamięci NAND opracowano w firmie Toshiba w roku 1989. W stosunku do pamięci NOR ma krótszy czas kasowania i zapisu, większą gęstość, mniejszy współczynnik kosztu na 1 bit oraz dziesięciokrotnie większą trwałość. Liczba cykli zapis / kasowanie 100 tys – 1mln. Dostęp do pamięci nie jest swobodny ale sekwencyjny. Na bazie pamięci NAND zbudowane są karty pamięciowe MMC, Secure Digital oraz Memory Stick.

Dysk półprzewodnikowy NAND składa się z obszarów 512 bajtów (sektorów). Obszary te nie mogą być wprost zmieniane ale tylko w całości kasowane i od nowa zapisywane.

Karty CF występują w 2 standardach

- Typ I - grubość 3.3 mm
- Typ II - grubość 5.0 mm

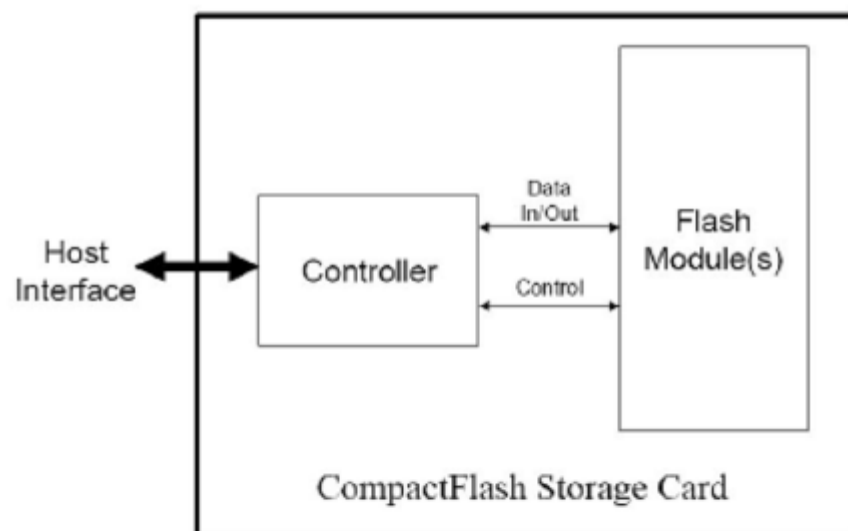


Rys. 6-1 Widok ogólny karty CF

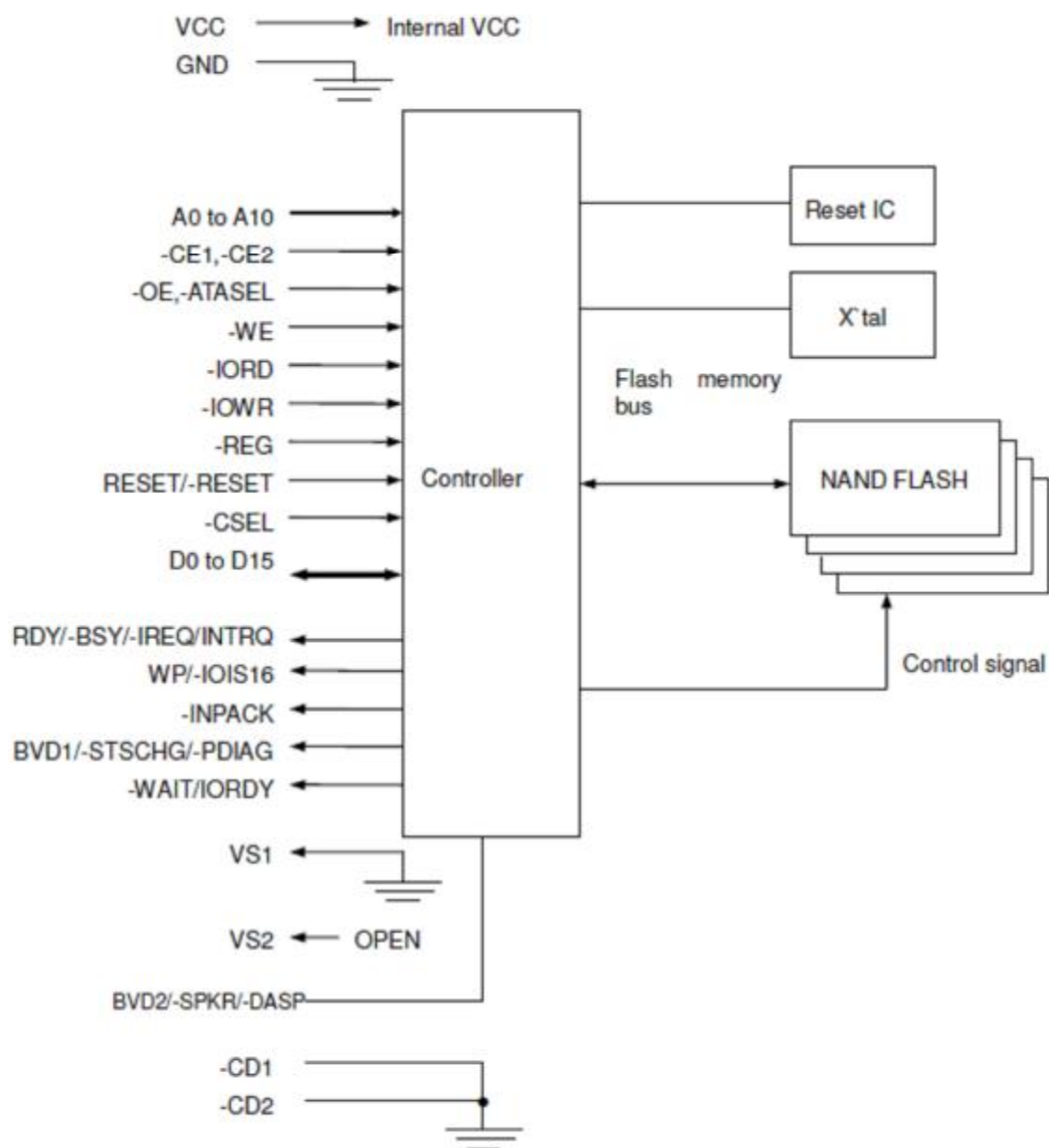
Karta wyposażona jest w złącze 50 stykowe które jest podzbiorem 68 stykowego złącza standardu PCMCIA. Karta może pracować w trybach:

- 16 bitowa PC Card
- Standard IDE (PATA – Parallel ATA)

Stąd pamięć CF może być obsługiwana przez standardowy kontroler IDE w który wyposażone są płyty standardu PC104.



Rys. 6-2 Ogólny schemat karty CF



Rys. 6-3 Struktura wewnętrzna karty CF

OE, ATASEL	Gdy wysterowane GND karta pracuje w trybie IDE
A0-A10	Linie adresowe – służą do wyboru rejestru
D0-D15	Linie danych
INTRQ	Żądanie przerwania
IOS16	Sygnal wyjściowy, gdy niski urządzenie spodziewa się następnego słowa danych
WE	Nie używany w trybie IDE -powinien być podłączony do Vcc
IORD	Sygnal strobu odczytu danych z karty
IOWR	Sygnal strobu zapisu danych na kartę
IORDY	Gotowość danych
REQ	Używany w trybie DMA

Tab. 6-1 Niektóre sygnały sterujące w trybie IDE

Przykład danych technicznych typowej karty CF:

Zasilanie: 3.3 lub 5V

Pojemność: 32 MB – 8 GB
Wielkość sektora: 512 bajtów

Tryby pracy:

- Tryb karty pamięci PC Card
- Tryb wejścia / wyjścia PC Card
- Tryb IDE
- Tryb PIO 4 i Ultra DMA 5

Szybkość:

Sekwencyjny odczyt: 10 MB / sek
Sekwencyjny zapis: 12 MB / sek

Trwałość danych: 10 lat (bez zasilania)

Niezawodność:

Korekcja ECC 1 bajt na 128 bajtów może być skorygowany.

Trwałość:

- Liczba odczytów: bez ograniczeń
- Liczba zapisów: 5.000.000

6.1 Systemy plików dla pamięci FLASH

W pamięciach NAND można zapisywać tylko całe bloki pamięci (np. 512 bajtów). W związku z tym obsługa zmiany zawartości pamięci wymaga specjalnej obsługi. Polega ona na:

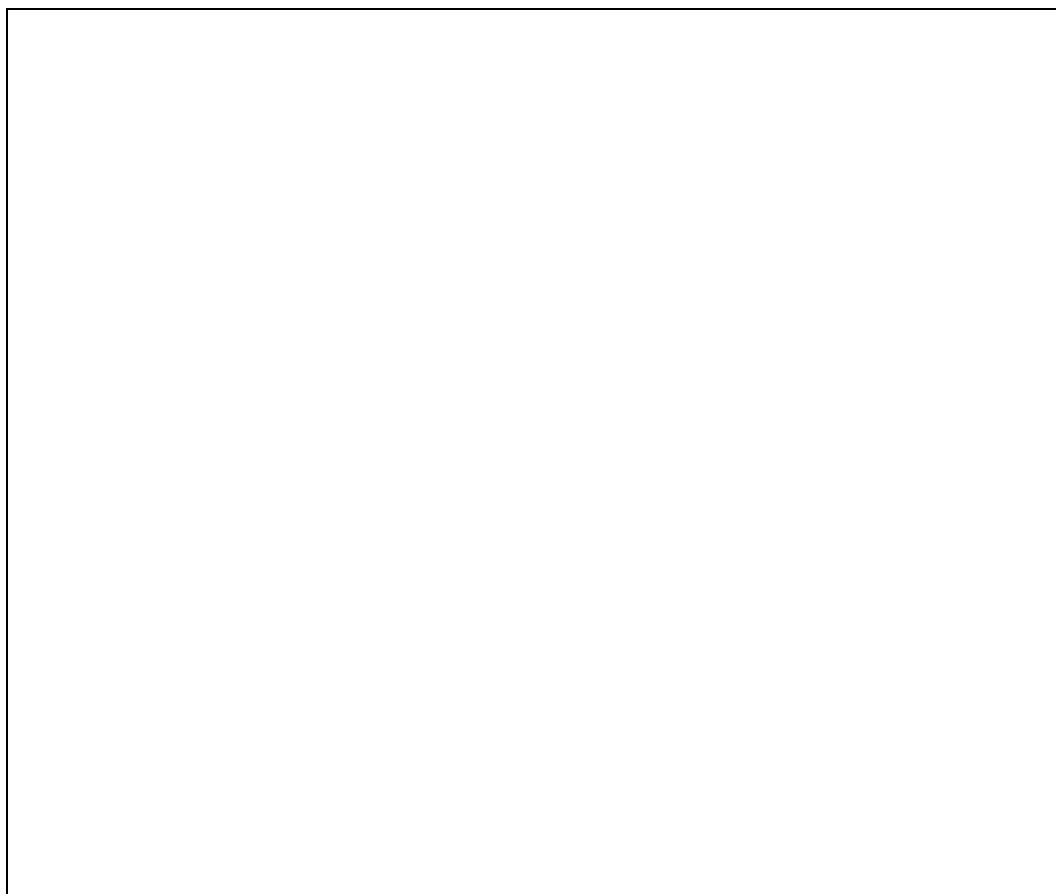
1. Blok który zawiera odczytywany kopiowany jest do bufora
2. Zmiana dokonywana jest w buforze
3. Zmodyfikowany bufor zapisywany jest w nowym bloku
4. Zmieniany jest katalog
5. Kasuje się stary blok

Gdy pamięć NAND podłączona jest bezpośrednio do procesora do obsługi tej pamięci stosuje się specjalny system plików dla pamięci (ang. *Flash File System*)

5 Instalacja systemu operacyjnego na karcie CF

Pamięć CF posiada złącze 50 pin podczas gdy Dysk IDE posiada złącze 40 pin. Istnieją adaptory konwertujące sygnały CF na IDE.

Adapter taki umieścić na płycie głównej zamiast taśmy do dysku IDE lub przyłączyć do taśmy jak zwykły dysk IDE. Mimo że jest to pamięć Compact Flash jest ona widziana przez BIOS i system operacyjny jako zwykły dysk IDE.



Rys. 5-1 Adapter Compact Flash - IDE

Instalacja systemu na dysku Compact Flash może się odbywać:

1. Bezpośrednio jak na dysku obrotowym IDE.
2. Poprzez instalację dysku Compact Flash jako drugiego dysku w komputerze macierzystym, skopiowanie systemu i niezbędnych plików a następnie przeniesienie karty CF do komputera docelowego.

W przypadku 1 może się okazać że system się nie mieści na dysku gdyż standardowa instalacja obejmuje nie używane w systemie wbudowanym pliki jak np. pliki pomocy. Wtedy należy wybrać opcje 2.

Uwaga!

Dyski Flash posiadają ograniczoną liczbę zapisów (obecnie 1 do 10 mln).
Stąd często aktualizowane pliki należy umieścić na RAM dysku.

6.2 Watchdog

Watchdog jest urządzeniem zabezpieczającym przed zatrzymaniem wykonywania programów które może nastąpić przy awarii sprzętu lub błędzie programowym.

Port	Operacja	Funkcja
0x443	Zapis	Ustawienie okresu odświeżania
0x443	Odczyt	Odświeżanie watchdoga
0x843	Odczyt	Zablokowanie watchdoga

Funkcje portów watchdoga komputera PM-1041

Aktywacja watchdoga

Aktywacja watchdoga następuje poprzez wpis interwału odświeżania pod adres 0x443.

Zawartość	Okres odśwież
0x1	1 sek
0x2	2 sek
...	...
0xFF	255 sek

Odświeżanie watchdoga

Odświeżanie watchdoga następuje poprzez odczyt z portu 0x443. Gdy w zaprogramowanym wcześniej okresie nie nastąpi odczyt – watchdog dokona resetu systemu.

Zatrzymywanie watchdoga

Zatrzymywanie watchdoga następuje poprzez odczyt spod adresu 0x843.

```
/*-----*/
/*  Program obsługi watchdog-a                               */
/*  Kompilacja: cc wdog.c -o wdog -T0                         */
/*-----*/
#include <stdio.h>
#include <i86.h>
#define WDOG_ENABLE 0x443 // Uruchomienie watchdoga
#define WDOG_REFRESH 0x443 // Odświeżenie watchdoga
#define WDOG_DISABLE 0x843 // Wylaczenie watchdoga

void main(int argc, char *argv[])
{
    int i;
    // Uruchomienie watchdog-a,okres odświeżana 10sek
    outp(WDOG_ENABLE,10);
    do {
        // Odświeżanie ---
        inp(WDOG_REFRESH);
        sleep(10);
    } while(1);
    inp(WDOG_DISABLE);
}
```

Przykład 5-1 Program włączenie i odświeżania watchdoga dla systemu QNX4

6 Literatura

- [1] PC104 Specification Version 2.5 November 2005, PC104 Embedded Consortium www.pc-104.org
- [2] VMEbus Specification Manual Revision C.1 October 1 1985
- [3] <http://www.interfacebus.com>
- [4] Marek Wnuk, materiały dydaktyczne
<http://rab.ict.pwr.wroc.pl/dydaktyka/supwa/foils/vme.pdf>
- [5] Bogdan Marzec, Wprowadzenie do standardu magistrali VME, WNT Warszawa 1994.